

PCT
 WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

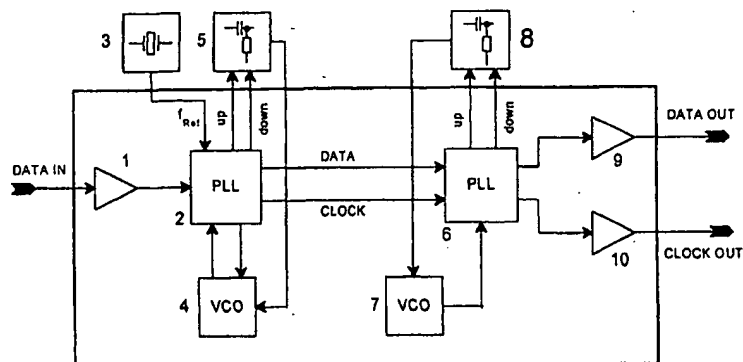


(51) Internationale Patentklassifikation 7 : H03K 3/00	A2	(11) Internationale Veröffentlichungsnummer: WO 00/18008 (43) Internationales Veröffentlichungsdatum: 30. März 2000 (30.03.00)
--	-----------	---

(21) Internationales Aktenzeichen: PCT/DE99/02742 (22) Internationales Anmeldedatum: 1. September 1999 (01.09.99) (30) Prioritätsdaten: 198 42 711.5 17. September 1998 (17.09.98) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): FRIEDRICH, Dirk [DE/DE]; Josephsplatz 4, D-80798 München (DE). ROZMANN, Michael [DE/DE]; Roggensteiner Allee 218, D-82223 Eichenau (DE). (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).	(81) Bestimmungsstaaten: CA, JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>
---	--

(54) Title: **CIRCUIT FOR RECOVERING A DATA SIGNAL AND REGENERATING A CLOCK SIGNAL**

(54) Bezeichnung: **SCHALTUNG ZUR DATENSIGNALRÜCKGEWINNUNG UND TAKTSIGNALREGENERIERUNG**



(57) Abstract

According to the invention, the circuit for recovering a data signal and regenerating a clock signal can be fully integrated into a chip and has two independent series-mounted PLL regulating steps (2, 6) that can be optimally adjusted in a separate manner. The first regulating step (2) has a wide bandwidth and is optimized for the highest possible jitter tolerance. The second regulating step (6) has a narrow bandwidth and is optimized for the lowest possible jitter transfer. The circuit can be used, for example, in transceivers for ATM, SONET and SDH applications with Gbit signal transmission links.

(57) Zusammenfassung

Die in einem Chip vollständig integrierbare Daten- und Taktregenerierungsschaltung nach der Erfindung weist in Serie zwei unabhängige und getrennt optimal einstellbare PLL-Regelstufen (2, 6) auf, von denen die erste (2) eine große Bandbreite aufweist und auf eine möglichst große Jitter-Toleranz optimiert ist und die zweite (6) eine geringe Bandbreite aufweist und auf einen möglichst geringen Jitter-Transfer optimiert ist. Die Schaltung läßt sich z.B. bei Transceivern für ATM-, SONET- und SDH-Anwendungen mit Signalübertragungsstrecken im GBit-Bereich einsetzen.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauritanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Schaltung zur Datensignalrückgewinnung und Taktsignalregenerierung

5

Die Erfindung betrifft eine in einem elektronischen Baustein (Chip) vollständig integrierbare Schaltung zur Datensignalrückgewinnung und Taktsignalregenerierung aus einem eingehenden seriellen Datensignalstrom unter Verwendung einer mit einem spannungsgesteuerten Oszillator (VCO; Voltage Controlled Oscillator) versehenen PLL(Phase Locked Loop)-Regelstufe, welcher der serielle Datensignalstrom zugeführt wird, mit einer Retiming-Schaltung.

10

Die Erfindung richtet sich insbesondere auf die Rückgewinnung bzw. das Retiming von Daten- und Taktsignalen aus seriellen Datenströmen z.B. bei Transceiver-Schaltungen für ATM(Asynchroner Transfermodus)-, SONET(Synchronous Optical Network; Synchrones optisches Netz)- und SDH(Synchrone Digitale Hierarchie)-Anwendungen.

20

Es ist bekannt, die Wiederaufbereitung von Daten- und Taktsignalen mit Hilfe einer PLL-Regelstufe und eines Retiming-Flip-Flops zu realisieren. Hierzu gibt es die verschiedensten Arten von Phasen- und Frequenzdetektoren. In diesem Zusammenhang wird auf den Aufsatz von Herzog, Hans-Jürgen: "Auswahl von Bausteinen für die Daten- und Taktregenerierung in Telekom- und Datennetzen", erschienen in der Zeitschrift "HF-Praxis", Heft 5, 1998, Jahrgang 4, S. 12-14, hingewiesen.

25

30

Bei dem eingehenden Datensignal handelt es sich in der Regel um eine mit Rauschen und Jitter behaftete serielle Bitfolge. An einen diesen Datensignalstrom empfangenden und auswertenden Transceiver werden verschiedene Anforderungen gestellt, damit ausgangsseitig wieder ein Signal von geforderter Güte entsteht. Zwei wichtige Anforderungen, die sich jedoch teilweise widersprechen, sind dabei die Werte für die Jitter-To-

35

leranz und für den Jitter-Transfer. Die Jitter-Toleranz definiert den maximal zulässigen Eingangsjitter, den die Schaltung noch fehlerfrei verarbeiten kann. Dieser Wert sollte möglichst groß sein. Der Jitter-Transfer definiert den maximal zulässigen Jitter, der vom Eingang zum Ausgang übertragen werden darf. Dieser sollte möglichst klein sein.

Um diese Jitter-Anforderungen zu erfüllen, muß man die Bandbreite der bei der Wiederaufbereitung von Daten- und Taktsignalen eingesetzten PLL-Regelschleife an die Erfordernisse anpassen. Für eine große Jitter-Toleranz ist eine große PLL-Regelschleifenbandbreite nötig.

Eine große Bandbreite ermöglicht der PLL-Regelschleife ein schnelles Folgen in der Frequenz und in der Phase des eingehenden Signals und somit ein zuverlässiges Abtasten in der zeitlichen Mitte eines Datenbits. Diese Tatsache hat dann auch eine große Eingangsempfindlichkeit der Schaltung zur Folge.

Für einen geringen Jitter-Transfer ist eine kleine PLL-Regelschleifenbandbreite erforderlich. Dadurch wird gewährleistet, daß die PLL-Regelstufe nicht dem hochfrequenten Jitter, Rauschen und sonstigen Störungen folgt und damit die Qualität des rückgewonnenen Datensignals beeinträchtigt.

Um beide Bedingungen zugleich einigermaßen zu erfüllen, ist man somit gezwungen, einen Kompromiß einzugehen. Die Bandbreite einer solchen PLL-Regelschleife liegt dabei in einem recht engen Bereich. Da eine PLL-Regelstufe zum Teil aus stark nichtlinearen Komponenten bestehen kann, besonders bei vollständig integrierten PLL-Regelschleifen, ist eine Berechnung bzw. Realisierung der Bandbreite schwierig.

Der Erfindung liegt die Aufgabe zugrunde, eine vollständig auf einem elektronischen Chip integrierbare und damit ohne äußere Beschaltung implementierbare Schaltung zur Rückgewin-

nung bzw. zum Retiming von Daten- und Taktsignalen aus seriellen Datenströmen insbesondere für einen einfacheren Aufbau von ATM-, SONET- und SDH-konformen Transceiver-Schaltungen bei einer Einsatzmöglichkeit in Signalübertragungstrecken im Gigabit-Bereich zu schaffen, wobei die Jitter-Anforderungen eingehalten werden und somit ausgangsseitig wieder ein Datensignal von geforderter Güte, also vorgeschrieben niedriger Bitfehlerrate, entsteht.

10 Diese Aufgabe wird gemäß der Erfindung, die sich auf eine Schaltung der eingangs genannten Art bezieht, dadurch gelöst, daß der PLL-Regelstufe eine zweite PLL-Regelstufe in Serie nachgeschaltet ist, daß die beiden PLL-Regelstufen unabhängig sind und jeweils getrennt optimal einstellbar sind, daß die
15 erste PLL-Regelstufe so eingestellt ist, daß sie eine große Bandbreite aufweist und auf eine möglichst große Jitter-Toleranz optimiert ist, und daß die zweite PLL-Regelstufe so eingestellt ist, daß sie eine geringe Bandbreite aufweist und auf einen möglichst geringen Jitter-Transfer optimiert ist.

20 Die Erfindung löst also das Problem, indem zwei unabhängige PLL-Regelstufen in Serie geschaltet werden, für die jeweils getrennt die optimale Einstellung vorgenommen wird. Die erste PLL-Regelstufe hat eine große Bandbreite und regeneriert den
25 Pegel des eingehenden Signals.

Damit wird das Signal/Rausch-Verhältnis unkritischer und die zweite PLL-Regelstufe kann eine fehlerfreie Datenregenerierung garantieren, auch ohne in der absoluten Mitte eines Datenbits abzutasten. Die zweite PLL-Regelstufe hat eine geringe Bandbreite und kann somit auf einen geringen Jitter-Transfer optimiert werden.

35 Die vollständige Integration auf einem einzigen Chip ist möglich, da die Schaltung nach der Erfindung größere Parameterschwankungen der Schaltung tolerieren kann.

In vorteilhafter Weise ist der Übergang von der ersten PLL-Regelstufe auf die zweite PLL-Regelstufe durch eine in der zweiten PLL-Regelstufe ausgeführte Synchronisation der beiden Taktsignale vorgenommen. Die zweite PLL-Regelstufe läßt sich
5 einfach und ohne großen technischen Schaltungsaufwand verwirklichen.

Die Referenzfrequenz der ersten PLL-Regelstufe ist zweckmäßig durch einen frequenzkonstanten Quarzoszillator stabilisiert.

10

Im folgenden wird anhand eines in einer FIGUR dargestellten Blockschaltbildes eine Schaltung zur Datensignalrückgewinnung und Taktsignalregenerierung nach der Erfindung erläutert.

15 Über einen Trennverstärker 1 wird ein eingehender digitaler Datenstrom DATA IN einer ersten PLL-Regelstufe 2 zugeführt. Die Referenzfrequenz f_{Ref} der PLL-Regelstufe 2 wird durch einen Quarzoszillator 3 gebildet, ist deswegen frequenzstabil und hält einen spannungsgesteuerten Oszillator in einem gültigen Arbeitsbereich.
20

Die erste PLL-Regelstufe 2 ist mit einem spannungsgesteuerten Oszillator (VCO) 4, der beispielsweise durch einen Ringoszillator realisiert werden kann, und einem Integrator 5 versehen,
25 mit dem die Bandbreite der PLL-Regelstufe 2 bestimmt wird, versehen. Der ersten PLL-Regelstufe 2 ist eine zweite PLL-Regelstufe 6 nachgeschaltet, die ebenfalls mit einem spannungsgesteuerten Oszillator 7 und einem Integrator 8 versehen ist, durch den die Bandbreite der zweiten PLL-Regelstufe 6 maßgeblich bestimmt wird.
30

Über jeweils einen Trennverstärker 9 bzw. 10 werden die endgültig rückgewonnenen Daten- und Taktsignale DATA OUT bzw. CLOCK OUT aus der zweiten PLL-Regelstufe 6 herausgeführt. Für
35 die beiden unabhängigen PLL-Regelstufen 2 und 6 wird die optimale Einstellung jeweils getrennt vorgenommen. Die erste

5

PLL-Regelstufe 2 hat eine große Bandbreite und regeneriert den Pegel des eingehenden Signals DATA IN.

Das Signal/Rausch-Verhältnis wird dadurch unkritischer, und
5 die zweite PLL-Regelstufe 6 stellt eine fehlerfreie Daten-
rückgewinnung sicher, wobei von ihr nicht unbedingt in der
absoluten Mitte der Datenbits der von der ersten PLL-
Regelstufe 2 zugeführten Datensignale DATA abgetastet werden
muß.

10

Die zweite PLL-Regelstufe 6 hat im Gegensatz zur ersten PLL-
Regelstufe 2 eine geringe Bandbreite und läßt sich auf einen
möglichst geringen Jitter-Transfer optimieren. Der Übergang
von der ersten PLL-Regelstufe 2, in welcher die Datensignale
15 DATA und Taktsignale CLOCK wiedergewonnen werden, erfolgt
durch eine Synchronisation der beiden Taktsignale CLOCK und
CLOCK OUT in der relativ einfach zu realisierenden PLL-
Regelstufe 6.

Patentansprüche

1. In einem elektronischen Baustein (Chip) vollständig integrierbare Schaltung zur Datensignalrückgewinnung und Taktsignalregenerierung aus einem eingehenden seriellen Datensignalstrom unter Verwendung einer mit einem spannungsgesteuerten Oszillator (VCO; Voltage Controlled Oscillator) versehenen PLL(Phase Locked Loop)-Regelstufe, welcher der serielle Datensignalstrom zugeführt wird, mit einer Retiming-Schaltung, dadurch gekennzeichnet, daß der PLL-Regelstufe (2) eine zweite PLL-Regelstufe (6) in Serie nachgeschaltet ist, daß die beiden PLL-Regelstufen (2, 6) unabhängig sind und jeweils getrennt optimal einstellbar sind, daß die erste PLL-Regelstufe (2) so eingestellt ist, daß sie eine große Bandbreite aufweist und auf eine möglichst große Jitter-Toleranz optimiert ist, und daß die zweite PLL-Regelstufe (6) so eingestellt ist, daß sie eine geringe Bandbreite aufweist und auf einen möglichst geringen Jitter-Transfer optimiert ist.
2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß der Übergang von der ersten PLL-Regelstufe (2) auf die zweite PLL-Regelstufe (6) durch eine in der zweiten PLL-Regelstufe realisierte Synchronisation der beiden Taktsignale (CLOCK, CLOCK OUT) vorgenommen ist.
3. Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Referenzfrequenz (f_{Ref}) der ersten PLL-Regelstufe (2) durch einen frequenzkonstanten Quarzoszillator (5) stabilisiert ist.
4. Schaltung nach einem der vorhergehenden Ansprüche, gekennzeichnet durch die Anwendung in Transceiver-Schaltungen am Ende von Übertragungstrecken eines Telekommunikations- und Datenübertragungsnetzes.
5. Schaltung nach einem der vorhergehenden Ansprüche, gekennzeichnet durch einen Einsatz in Signalübertragungstrecken im Gigabit-Bereich.

1/1

